

Вопросы к государственному экзамену
Магистерская программа
«Дискретные управляющие системы и их приложения»

1. Задача синтеза схем для произвольных и специальных функций алгебры логики (ФАЛ), связанные с ней понятия. Мощностной метод и получение с его помощью нижних асимптотических оценок высокой степени точности (АОВСТ) функций Шеннона для сложности схем из основных классов. [1,§1-2]
2. Универсальные системы (множества) ФАЛ и связанные с ними разложения произвольных ФАЛ. Построение универсальных систем ФАЛ на основе селекторных разбиений переменных и оценки их сложности. [1,§3]
3. Синтез схем с помощью метода универсальных систем ФАЛ, особенности его применения в различных моделях дискретных управляющих систем. Верхние АОВСТ функций Шеннона для сложности схем из некоторых классов. [1,§4-6]
4. Задача синтеза легкотестируемых схем. Теорема Редди о единичных проверяющих тестах для схем из функциональных элементов в базисе Жегалкина при константных неисправностях на выходах элементов. [2] (стр. 101-102, 110-111, 113-116).
5. Последовательные схемы. Защёлки и триггеры. RS-триггер, D-защелка, D-триггер. Проектирование конечного автомата. [3] (стр. 109-114, 123-129) или [4] (стр. 270-284, 307-320)
6. Основы языка Verilog: модули, экземпляры (инстанциации) модулей, типы reg и wire, непрерывное присваивание, блок always, блокирующее и неблокирующее присваивания, операторы if и case, выражения языка, значения x и z. [5] (стр. 16-48, 84-87, 93-99)
7. Модель комбинационных логических сетей и основные структурные операции над ними: упрощение вершин, декомпозиция и подстановка вершин. Операция деления и совокупное ядро делителей. Основные способы нахождения общих делителей и применение их для оптимизации комбинационных логических сетей. [6] (стр. 422-432, 456-459) или [7] (стр. 343-379)
8. Постановка задачи привязки логической схемы к библиотеке и основные этапы её решения: приведение и разбиение схемы, поиск соответствий и оптимального покрытия. Алгоритм привязки логической схемы к библиотеке на основе динамического программирования. [6] (стр. 505-513) или [7] (стр. 504-529)
9. Синхронные логические схемы и их связь со схемами из функциональных элементов и элементов задержки. Алгоритмы временной оптимизации синхронных логических сетей (Retiming). [7] (стр. 458-474)
10. Основные цели разбиения интегральной схемы, оценка качества разбиения и связь с теорией графов. Алгоритмы разбиения графов и гиперграфов: алгоритм Кернигана-Лина и его расширения, алгоритм Федуччи-Маттеуса (Fiduccia-Mattheyses). [8] (стр. 33-46)
11. Задача глобального размещения элементов интегральной схемы и основные метрики оценки качества размещения. Основные подходы к размещению: геометрические методы и подходы, основанные на декомпозиции (min-cut placement), аналитические подходы (размещение как задача квадратичного программирования), стохастические подходы (моделирование отжига).[8] (стр. 95-119).
12. Задача трассировки соединений. Классификация алгоритмов трассировки. Представление областей трассировки. Задача глобальной трассировки. MST и SMT дерева. Последовательный алгоритм построения дерева Штейнера. [8] (стр. 131-154)

13. Стадии выполнения инструкции MIPS. Конвейер. Особенности проектирования инструкций процессора для конвейерного выполнения. Конфликты в конвейере: структурные, по данным, по управлению. Производительность конвейера. [9] (стр. 370-384).
14. Основы устройства кэша: ассоциативность, теги, бит актуальности, промахи и попадания, чтение и запись, размер кэша. Кэш инструкций и кэш данных. Организация памяти с кэшем. [9] (стр. 473-491).
15. Общие принципы дедуктивной верификации программ. Операционная семантика императивных программ. Формальная постановка задачи верификации программ. Логика Хоара: правила вывода и свойства. Автоматизация проверки правильности программ. [12, с. 47-70]
16. Темпоральная логика деревьев вычислений CTL. Синтаксис и семантика CTL. Примеры спецификаций моделей в терминах формул CTL. Темпоральная логика линейного времени PLTL. Синтаксис и семантика PLTL. Свойства живости и безопасности. Ограничения справедливости. Задача верификации моделей (model-checking). [10, с. 55-63]
17. Табличный алгоритм верификации моделей для CTL. Обоснование корректности и сложности табличного алгоритма верификации моделей. Проблема “комбинаторного взрыва”. Символьные средства описания моделей и их применение для преодоления эффекта “комбинаторного взрыва”. Программно-инструментальное средство верификации моделей программ μ -SMV. [10, с. 64-70, 83-90, 95-105]
18. Табличная верификация моделей для PLTL. Автоматы Бюхи: их свойства и обобщения. Трансляция формул PLTL в автоматы Бюхи. Сведение задачи проверки выполнимости формул PLTL к проблеме пустоты для автоматов Бюхи. Программно-инструментальное средство верификации моделей программ SPIN. [10, 172-192]
19. Замкнутые классы алгебры логики. Теорема Поста о замкнутых классах алгебры логики. Структура доказательства теоремы Поста. Конечная порождаемость замкнутых классов. Решетка замкнутых классов. [12] (стр. 47-65)
20. Алгоритм распознавания полноты в k -значной логике. [15] (стр. 51-53)
21. Теорема Кузнецова о функциональной полноте. [15] (стр. 53-56)
22. Сети Петри. Моделирование конкурирующих параллельных процессов сетями Петри. Основные свойства сетей Петри. Покрывающее дерево сети Петри. Разрешимость проблем ограниченности, безопасности и покрытия для обыкновенных сетей Петри. Неразрешимость проблемы эквивалентности для обыкновенных сетей Петри. [13] (стр. 14-32)
23. Стандартные схемы программ. Проблема функциональной эквивалентности для стандартных схем программ. Неразрешимость проблемы функциональной эквивалентности. Логико-термальная эквивалентность стандартных схем программ. Разрешимость проблемы логико-термальной эквивалентности стандартных схем программ. [14] (стр. 67-83, 92-101)

Литература:

1. Ложкин С.А. Дополнительные главы кибернетики и теории управляющих систем. Электронная версия, 2013.
2. Редькин Н. П. Надежность и диагностика схем. М.: МГУ, 1992. 192 с.
3. Harris D.M., Harris S.L. Digital design and computer architecture. 2nd ed. Amsterdam, Boston: Morgan Kaufmann Publishers. 2012.
4. Харрис Д.М., Харрис С.Л. Цифровая схемотехника и архитектура компьютера. Второе издание. Электронная книга, официальный перевод [1]. 2015.
5. Bhasker J. Verilog HDL synthesis. A practical primer. USA, Allentown: Star Galaxy Publishing. 1998.
6. Hatchel G.D., Somenzi F. Logic Synthesis and Verification Algorithms. – Kluwer Academic Publishers, 2002.
7. Giovanni De Micheli Synthesis and Optimization of Digital Circuits. – McGraw-Hill Science/Engineering/Math, 1994.
8. Andrew B. Kahng, Jens Lienig, Igor L. Markov, Jin Hu. VLSI Physical Design: From Graph Partitioning to Timing Closure, 2011
9. Patterson D.A., Hennessy J.L. Computer organization and design. 3rd ed. San Francisco: Morgan Kaufmann Publishers. 2005.
10. Э.М. Кларк, О. Грамберг, Д. Пелед. Верификация моделей программ: Model Checking. Изд-во МЦНМО, 2002. 417 с.
11. K. R. Apt, E.-R. Olderog. Verification of sequential and concurrent programs, Springer, 1997, 365 p.
12. Марченков С.С. Основы теории булевых функций. М.: Физматлит, 2014.
13. Котов В.Е. Сети Петри. М.: Наука, 1984.
14. Котов В.Е., Сабельфельд В.К. Теория схем программ. М.: Наука, 1991.
15. Яблонский С.В. Введение в дискретную математику. М.: Высшая школа, 2001.